



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Tsuyoshi YONEYAMA

Application No.: 10/062,422

Filed: February 5, 2002

Docket No.: 111907

For: DISPLAY DRIVE CIRCUIT, SEMICONDUCTOR INTEGRATED CIRCUIT, DISPLAY PANEL, AND DISPLAY DRIVE METHOD

CLAIM FOR PRIORITY

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-025698 filed February 1, 2002

In support of this claim, a certified copy of said original foreign application:

X is filed herewith.

was filed on _____ in Parent Application No. _____ filed _____.

will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

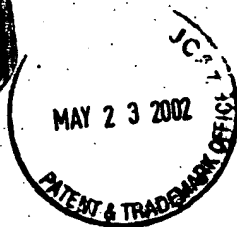
James A. Oliff
Registration No. 27,075

Joel S. Armstrong
Registration No. 36,430

JAO:JSA/mlb
Date: May 23, 2002

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

**DEPOSIT ACCOUNT USE
AUTHORIZATION**
Please grant any extension
necessary for entry;
Charge any fee due to our
Deposit Account No. 15-0461



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 2月 1日

出 願 番 号

Application Number:

特願2002-025698

ST.10/C]:

[JP2002-025698]

出 願 人

Applicant(s):

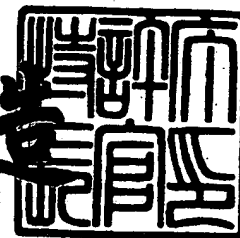
セイコーエプソン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 2月22日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 EP-0367301

【提出日】 平成14年 2月 1日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/00

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 米山 剛

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【先の出願に基づく優先権主張】

【出願番号】 特願2001- 30893

【出願日】 平成13年 2月 7日

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示駆動回路、半導体集積回路、表示パネル及び表示駆動方法

【特許請求の範囲】

【請求項 1】 連続的に入力される画像表示用のデータを順次記憶する R A M と、

各々が、前記 R A M に記憶されているデータに基づいて複数の階調パターンの中から 1 つの階調パターンを選択する複数の階調パターン選択回路と、

前記複数の階調パターン選択回路に対応して設けられ、一連の画像フレームについて、前記複数の階調パターン選択回路において選択された階調パターンを順次出力させる複数のフレーム選択回路と、

を含むことを特徴とする表示駆動回路。

【請求項 2】 請求項 1 において、

各色の階調を N (N は 2 以上の整数) ビットで表すデータを入力し、設定されたコマンドに基いて、各色の階調を M (M は整数で、 $M > N$) ビットで表すデータに変換して前記 R A M に供給する画像データ変換回路をさらに含むことを特徴とする表示駆動回路。

【請求項 3】 請求項 1 又は 2 において、

前記複数の階調パターン選択回路の各々が、

前記 R A M に記憶されているデータに基いて階調パターン選択信号を出力する選択 R O M と、

前記階調パターン選択信号に従って複数の階調パターンの中から 1 つの階調パターンを選択すると共に、対応するフレーム選択回路から出力される制御信号に従って前記階調パターンを用いて F R C (フレームレートコントロール) 変調を行う F R C R O M と、

を含むことを特徴とする表示駆動回路。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、

前記複数のフレーム選択回路の各々が、複数の部分に分割されてそれぞれの階調パターン選択回路の両側に配置されていることを特徴とする表示駆動回路。

【請求項 5】 連続的に入力される画像表示用のデータを順次記憶する R A M と、

互いに異なるフレーム周期の複数の階調パターンを記憶し、前記 R A M に記憶されたデータを用いて複数の階調パターンの中から 1 つの階調パターンを選択する複数の F R C R O M と、

前記複数の F R C R O M により選択された階調パターンそれぞれを、フレームごとに順次出力させる複数のフレーム選択回路と、

を含み、

表示部を駆動するための駆動信号が、

前記複数の F R C R O M から出力された階調パターンに基づいて出力されることを特徴とする表示駆動回路。

【請求項 6】 請求項 5 において、

各色の階調を N (N は 2 以上の整数) ビットで表すデータを入力し、任意に設定可能な各色 M (M は整数で、 $M > N$) ビットで表すデータに変換して前記 R A M に供給する画像データ変換回路を含み、

前記複数のフレーム選択回路の各々は、

前記 M ビットの階調に基づいて選択された階調パターンを、フレームごとに順次出力させることを特徴とする表示駆動回路。

【請求項 7】 請求項 1 乃至 6 のいずれか記載の表示駆動回路と、

選択された階調パターンに基づいて生成された駆動信号を出力する端子と、

を含むことを特徴とする半導体集積回路。

【請求項 8】 互いに交差する複数のコモン電極と複数のセグメント電極とにより特定される画素と、

前記セグメント電極を駆動する請求項 1 乃至 6 のいずれか記載の表示駆動回路と、

を含むことを特徴とする表示パネル。

【請求項 9】 少なくとも 2 種類のフレーム周期の複数の階調パターンの中から、画像表示用のデータに基づいて 1 つの階調パターンを選択してフレームごとに出し、

該階調パターンに基いて、表示部を駆動するための駆動信号を出力することを特徴とする表示駆動方法。

【請求項 1 0】 請求項 9 において、

N (N は 2 以上の整数) ビットの階調に対応して、任意に設定可能な M (M は整数で、 $M > N$) ビットの階調に変換し、

少なくとも 2 種類のフレーム周期の複数の階調パターンの中から、前記 M ビットの階調に基づいて 1 つの階調パターンを選択してフレームごとに出力することを特徴とする表示駆動方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、表示駆動回路、半導体集積回路、表示パネル及び表示駆動方法に関する。

【0 0 0 2】

【従来の技術】

従来のカラー LCD 用ドライバ IC (半導体集積回路。広義には、表示駆動回路。) においては、MPU から出力される赤色 (R) 3 ビット、緑色 (G) 3 ビット、青色 (B) 2 ビットの計 8 ビットの画像データに基いて、カラー LCD を駆動していた。この様子を図 1 7 に示す。

【0 0 0 3】

図 1 7 において、MPU から入力される 1 画素分の画像データ D 7 ~ D 0 の内、D 7 ~ D 5 の 3 ビットが赤色の 8 階調を表しており、D 4 ~ D 2 の 3 ビットが緑色の 8 階調を表しており、D 1 ~ D 0 の 2 ビットが青色の 4 階調を表している。このような画像データを、ドライバ IC に内蔵されている ROM に順次入力して FRC (フレームレートコントロール) 変調を行うことにより、 $8 \times 8 \times 4 = 256$ 色のカラー表示を行っていた。

【0 0 0 4】

このような従来のカラー表示方法においては、表示可能な色調は、MPU からドライバ IC に入力される画像データのビット数で決まってしまう。現在の一般

的なカラーLCD用ドライバICにおいては、入力される画像データのビット数は8ビットであるから、表示可能な色調も256色に限定されていた。

【0005】

しかしながら、256色の色調では、同系色の微妙な変化を表現することができない。一方、近年においては、カラー表示における色調の多様化が求められている。

【0006】

ところで、特開昭63-318863号公報には、カラー画像情報を複数の色分解像に分解して複数の色信号に変換する手段と、これら複数の色信号から歪補正されたデジタル色信号を得る手段と、このデジタル色信号をさらに複数ビットで構成された複数の色信号に分離する色分離手段とを有し、この色分離手段として、出力すべき色信号が相違する複数個の色分離手段が用意され、これらの色分離手段が交換可能に構成されているカラー画像処理装置が掲載されている。例えば、黒、赤、緑、青の4色を用いて色表示を行う機種において、3つの色信号に分離してカラー画像を記録できるようにしておけば、3色を用いて色表示を行う機種への展開が容易となる。しかしながら、このカラー画像処理装置は、表示可能な色調の数を増加させることを目的としたものではない。

【0007】

また、特開平10-327330号公報には、複数の記録ドット位置に対応する単位階調処理領域の各々のドット位置に対応付けた互いに異なる複数のしきい値を有するしきい値テーブルを利用して入力色信号を記録色信号に変換する階調処理手段を備え、記録色信号に従って各々のドット位置に記録処理を行うカラー記録装置が掲載されている。このカラー記録装置は、互いにしきい値の配列パターンが異なる複数種類のしきい値テーブルと、その中から実際に使用するしきい値テーブルを選択する手段と、互いに内容の異なる複数種類の信号補正処理機能と、しきい値テーブルの種類に対応する信号補正処理の内容を記憶する記憶手段とを有し、選択されたしきい値テーブルに対応する信号補正処理内容に基づいて信号補正処理を行う信号補正手段を備えている。これは、各色の重なり具合やその他の要因によって記録信号のレベルと実際の記録内容との間に差が生じるた

め、処理内容を固定した補正処理では十分な補正を行うことが困難だからである。このカラー記録装置は、オペレータがしきい値テーブルを切り換えても、再現される色に変化しないようにするものであり、表示可能な色調の数を増加させることを目的としたものではない。

【0008】

一方、日本国特許出願公開（特開）昭60-243735号公報には、色信号を色変換テーブルによって印刷用データに変換し、この印刷用データに基づいてカラー印刷を行うカラープリンタにおいて、複数の書換え可能なテーブルを設け、これらのテーブルの記憶内容を任意に設定すると共に、これらのテーブルの内の1つを選択して使用するようにしたカラープリンタが掲載されている。しかしながら、このカラープリンタによれば、利用者が複数のテーブルの内の1つを選択して印刷の色調を設定する必要があり、利用者がテーブルを変更しない限り、表示可能な色調の数を増加させることはできない。

【0009】

【発明が解決しようとする課題】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、LCD等を駆動して複数の階調でカラー表示を行う際に、表示可能な色調の種類を拡大し、表示される色の選択の自由度を増すことのできる表示駆動回路、半導体集積回路、これを用いた表示パネル及び表示駆動方法を提供することにある。

【0010】

【課題を解決するための手段】

上記課題を解決するために本発明は、連続的に入力される画像表示用のデータを順次記憶するRAMと、各々が、前記RAMに記憶されているデータに基づいて複数の階調パターンの中から1つの階調パターンを選択する複数の階調パターン選択回路と、前記複数の階調パターン選択回路に対応して設けられ、一連の画像フレームについて、前記複数の階調パターン選択回路において選択された階調パターンを順次出力させる複数のフレーム選択回路とを含む表示駆動回路に係する。

【 0 0 1 1 】

また本発明に係る表示駆動回路は、各色の階調を N (N は2以上の整数) ビットで表すデータを入力し、設定されたコマンドに基いて、各色の階調を M (M は整数で、 $M > N$) ビットで表すデータに変換して前記RAMに供給する画像データ変換回路をさらに含むことができる。

【 0 0 1 2 】

また本発明に係る表示駆動回路は、前記複数の階調パターン選択回路の各々が、前記RAMに記憶されているデータに基いて階調パターン選択信号を出力する選択ROMと、前記階調パターン選択信号に従って複数の階調パターンの中から1つの階調パターンを選択すると共に、対応するフレーム選択回路から出力される制御信号に従って前記階調パターンを用いてFRC (フレームレートコントロール) 変調を行うFRCROMとを含むことができる。

【 0 0 1 3 】

また本発明に係る表示駆動回路は、前記複数のフレーム選択回路の各々が、複数の部分に分割されてそれぞれの階調パターン選択回路の両側に配置 (レイアウト) されていてもよい。

【 0 0 1 4 】

すなわち、複数の部分に分割された複数のフレーム選択回路の各々の回路及び配線を含む回路パターンが、階調パターン選択回路の両側に配置されていてもよい。

【 0 0 1 5 】

以上の様に構成した本発明によれば、複数のフレーム選択回路に記憶されている階調パターンを画像データに応じて切り換えて出力することにより、表示可能な色調の種類を拡大し、表示される色の選択の自由度を増すことができる。

【 0 0 1 6 】

また本発明は、連続的に入力される画像表示用のデータを順次記憶するRAMと、互いに異なるフレーム周期の複数の階調パターンを記憶し、前記RAMに記憶されたデータを用いて複数の階調パターンの中から1つの階調パターンを選択する複数のFRCROMと、前記複数のFRCROMにより選択された階調パタ

ーンそれぞれを、フレームごとに順次出力させる複数のフレーム選択回路とを含み、表示部を駆動するための駆動信号が、前記複数の FRCROM から出力された階調パターンに基づいて出力される表示駆動回路に係る。

【 0 0 1 7 】

ここで、複数の FRCROM が第 1 ～ 第 k (k は 2 以上の整数) の FRCROM からなるものとする、第 1 の FRCROM は、第 1 のフレーム周期の複数の階調パターンを記憶する。また、第 2 の FRCROM は、第 1、第 3 ～ 第 k のフレーム周期と異なる第 2 のフレーム周期の複数の階調パターンを記憶する。同様に、第 k の FRCROM は、第 1 ～ 第 $(k - 1)$ のフレーム周期と異なる第 k のフレーム周期の複数の階調パターンを記憶する。

【 0 0 1 8 】

本発明によれば、複数種類のフレーム周期の複数の階調パターンの中から、1 つの階調パターンを選択して表示部を駆動するようにしたので、少ないビット数の画像データであってもより木目細かい階調表示を行うことができる。

【 0 0 1 9 】

また本発明に係る表示駆動回路は、各色の階調を N (N は 2 以上の整数) ビットで表すデータを入力し、任意に設定可能な各色 M (M は整数で、 $M > N$) ビットで表すデータに変換して前記 RAM に供給する画像データ変換回路を含み、前記複数のフレーム選択回路の各々は、前記 M ビットの階調に基づいて選択された階調パターンを、フレームごとに順次出力させることができる。

【 0 0 2 0 】

本発明によれば、画像データのビット数が少ない場合であっても、表示可能な色調の種類を拡大し、更に階調特性に応じた階調表現を実現することができる。

【 0 0 2 1 】

また本発明に係る半導体集積回路は、上記いずれか記載の表示駆動回路と、選択された階調パターンに基づいて生成された駆動信号を出力する端子とを含むことができる。

【 0 0 2 2 】

本発明によれば、少ないビット数の画像データであってもより木目細かい階調

表示を行うことができる IC を提供することができる。

【 0 0 2 3 】

また本発明に係る表示パネルは、互いに交差する複数のコモン電極と複数のセグメント電極とにより特定される画素と、前記セグメント電極を駆動する上記いずれか記載の表示駆動回路とを含むことができる。

【 0 0 2 4 】

本発明によれば、少ないビット数の画像データであってもより木目細かい階調表示を行うことができる表示パネルを提供することができる。この場合、コモン電極を駆動する走査ドライバを、表示パネルの外部に設けてもよいし、該表示パネルが形成される基板上に設けてもよい。

【 0 0 2 5 】

また本発明に係る表示駆動方法は、少なくとも 2 種類のフレーム周期の複数の階調パターンの中から、画像表示用のデータに基いて 1 つの階調パターンを選択してフレームごとに出力し、該階調パターンに基いて、表示部を駆動するための駆動信号を出力する表示駆動方法に関する。

【 0 0 2 6 】

本発明によれば、複数種類のフレーム周期の複数の階調パターンの中から、1 つの階調パターンを選択して表示部を駆動するようにしたので、少ないビット数の画像データであってもより木目細かい階調表示を行うことができる。

【 0 0 2 7 】

また本発明に係る表示駆動方法は、 N (N は 2 以上の整数) ビットの階調に対応して、任意に設定可能な M (M は整数で、 $M > N$) ビットの階調に変換し、少なくとも 2 種類のフレーム周期の複数の階調パターンの中から、前記 M ビットの階調に基づいて 1 つの階調パターンを選択してフレームごとに出力することができる。

【 0 0 2 8 】

本発明によれば、画像データのビット数が少ない場合であっても、表示可能な色調の種類を拡大し、更に階調特性に応じた階調表現を実現することができる。

【 0 0 2 9 】

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

【0030】

図1に、本発明の一実施形態に係る半導体集積回路の構成を示す。ここでは、本実施形態に係る表示駆動回路を、半導体集積回路としてのカラーLCD用ドライバICに適用した場合について説明する。

【0031】

図1に示すように、ドライバIC（半導体集積回路）20には、MPU10から、各画素の画像情報を表す8ビットの画像データD7～D0が順次入力される。また、ドライバIC20には、書込み制御信号や読出し制御信号を含む各種の制御信号が入力される。ドライバIC20は、これらの画像データや制御信号に基づいて、R駆動信号とG駆動信号とB駆動信号の複数の組を生成し、LCDパネル（広義には、表示パネル）30の複数のセグメント電極にそれぞれ出力する。

【0032】

図2に、LCDパネルの概略構成を示す。LCDパネル30は、セグメント方向において複数の領域11、12、・・・を有し、コモン方向においても複数の領域、21、22、・・・を有している。ここで、セグメント方向の1つの領域とコモン方向の1つの領域を特定することにより、1つの画素が特定される。一例としては、LCDパネル30が、セグメント方向において160個の領域を有し、コモン方向において120個の領域を有する。この場合には、LCDパネル30は、160×120の画素を有することになる。

【0033】

さらに、セグメント方向の各領域は、RGBの各色を表示するための3つの領域（ドット）11R、11G、11Bに細分されており、これらの領域に電圧を印加するための3系統の素子には、それぞれ端子31R、31G、31Bが接続

されている。

【 0 0 3 4 】

再び図 1 を参照すると、ドライバ IC 2 0 は、MPU 1 0 と接続を行うための MPU インターフェース 1 と、LCD パネル 3 0 と接続を行うための LCD インターフェース 8 とを含んでいる。LCD インターフェース 8 から出力された駆動信号は、端子を介して LCD パネル 3 0 のセグメント電極に出力される。これにより、LCD パネル 3 0 の各セグメント電極における RGB の各領域が駆動される。

【 0 0 3 5 】

ドライバ IC 2 0 は、少なくとも 2 種類のフレーム周期の複数の階調パターンを記憶する。そして、これら複数の階調パターンの中から MPU インターフェース 1 を介して入力された画像データに基いて選択された 1 つの階調パターンを、フレームごとに順次出力させる。これにより、ドライバ IC 2 0 は、FRC（フレームレートコントロール）変調による階調表示を行うことができる。

【 0 0 3 6 】

ドライバ IC 2 0 において、MPU インターフェース 1 から出力される画像データは画像データ変換回路 2 に供給され、MPU インターフェース 1 から出力される制御信号は表示制御回路 9 に供給される。画像データ変換回路 2 は、MPU 1 0 から供給されるコマンドに従って、入力された画像データを、それよりもビット数の多いデータに変換する。例えば、画像データ変換回路 2 は、入力される赤色（R）3 ビット、緑色（G）3 ビット、青色（B）2 ビットの計 8 ビットの画像データを、各色について 4 又は 5 ビットの赤色階調データ、緑色階調データ、青色階調データに変換する。

【 0 0 3 7 】

画像データを各色について 4 ビットの階調データに変換する場合には、 $(2^4)^3 = 4096$ 種類の色調の設定が可能であり、その中から画像データに従って 256 種類又は 4096 種類の色調を表示することができる。さらに、画像データを各色について 5 ビットのデータに変換する場合には、 $(2^5)^3 = \text{約 } 3 \text{ 万 } 2 \text{ 千}$ 種類の色調の設定が可能であり、その中から画像データに従って 256 種類又は

4 0 9 6 種類又は約 3 万 2 千種類の色調を表示することができる。なお、画像データ変換回路 2 には、8 ビット以外のビット数を有する画像データを入力するようにしてもかまわないし、画像データ変換回路 2 を用いずに、各色について 4 ビット又は 5 ビット以上を含む画像データを、直接ドライバ IC 2 0 に入力するようにしても良い。

【 0 0 3 8 】

以下では、各色 4 ビットで階調表現される画像データを取り込んで、各色 5 ビットの階調データに変換する場合について説明する。

【 0 0 3 9 】

まず、MPU インターフェース 1 について説明する。MPU インターフェース 1 は、MPU 1 0 により 8 ビット単位で書き込まれた各色 4 ビットの画像データを、2 4 ビット（2 画素）単位で RAM 3 に書き込むことができる。

【 0 0 4 0 】

図 3 に、MPU インターフェース 1 の構成の一例を示す。

【 0 0 4 1 】

MPU インターフェース 1 は、ラッチ回路 LAT-A ~ LAT-C と、ラッチ回路 LAT-A' ~ LAT-C' とを含む。ラッチ回路 LAT-A ~ LAT-C は、MPU 1 0 から入力された 8 ビットの画像データ D 7 ~ D 0 をラッチする。ラッチ回路 LAT-A' ~ LAT-C' は、ラッチ回路 LAT-A ~ LAT-C でラッチされたデータをさらにラッチする。

【 0 0 4 2 】

ラッチ回路 LAT-A は、書込み制御信号 WR 1 に基いて、8 ビットの画像データ D 7 ~ D 0 をラッチする。ラッチ回路 LAT-B は、書込み制御信号 WR 2 に基いて、8 ビットの画像データ D 7 ~ D 0 をラッチする。ラッチ回路 LAT-C は、書込み制御信号 WR 3 に基いて、8 ビットの画像データ D 7 ~ D 0 をラッチする。ラッチ回路 LAT-A ~ LAT-C でラッチされたデータは、内部バス IBUS 1 ~ 3 に出力される。

【 0 0 4 3 】

ラッチ回路 LAT-A' ~ LAT-C' は、書込み制御信号 WR 3 を遅延させ

た書き込み遅延制御信号に基いて、内部バスIBUS1～3のデータをラッチし、それぞれ出力バスOUTBUS1～3に出力する。

【0044】

一般に、各色4ビットで階調表現を行う画像データについて、8ビット単位で書き込みが行われると、2回の書き込み動作で1画素分の階調データが書き込まれることになる。したがって、後続する2画素目の階調データの書き込みを行う場合には、さらに2回の書き込みが必要となってしまう。

【0045】

そこで、ドライバIC20は、図3に示すようにラッチ回路LAT-A～LAT-Cを設け、図4(A)に示すように3回の書き込み動作で2画素分の階調データをラッチする。そして、3回目の書き込み動作に同期して2画素分の階調データをラッチ回路LAT-A'～LAT-C'でラッチし、後段の画像データ変換回路2に供給する。

【0046】

このため、図4(B)に示すように、MPU10からの書き込み制御信号MPUWRがアクティブになるごとに、書き込み制御信号WR1～WR3を順にアクティブにして、画像データD7～D0を各ラッチ回路に取り込む。ラッチ回路LAT-A'～LAT-C'は、セットアップ時間及びホールド時間を確保するために書き込み制御信号WR3遅延させた書き込み遅延制御信号により、(書き込み制御信号WR3に同期させて)内部バスIBUS1～3のデータをラッチする。そして、出力バスOUTBUS1～3にデータが出力されている期間に、画像データ変換回路2でビット数を変換し、RAM3へ書き込むようにしている。

【0047】

これにより、MPU10による画像データの書き込み動作の回数を低減させることができ、連続して入力される画像データを効率的に取り込むことができる。

【0048】

このようなMPUインターフェース1により効率的に取り込まれた各色4ビットの画像データは、画像データ変換回路2に入力される。画像データ変換回路2は、各色4(N=4)ビットの画像データを、任意に設定可能な例えば5(M=

5) ビットの階調データに変換する。

【0049】

図5に、画像データ変換回路2において生成される変換テーブルの一例を示す。

【0050】

ここでは、各色4ビットの画像データを各色5ビットの階調データに変換する場合について説明するが、変換後の階調データのビット数に限定されるものではない。

【0051】

このような変換テーブルは、複数のラッチ回路を含む。これらラッチ回路に対しては、例えばMPU10からのコマンドPx (x=1~48) により、4ビットの画像データに対して変換すべき5ビットの階調データを設定することができるようになっている。例えば、4ビットの画像データR(0, 0, 0, 0)について、変換すべき5ビットの階調データを設定する場合、MPU10からコマンドP1を発行する。コマンドP1を受けた画像データ変換回路2は、データD4~D0上の変換後の5ビットの階調データP14~P10を記憶する。その後、4ビットの画像データとしてR(0, 0, 0, 0)が入力されたとき、画像データ変換回路2は、5ビットの階調データP14~P10を出力することになる。

【0052】

図6に、画像データ変換回路2の構成の一例を示す。

【0053】

ここでは、赤色(R)の画像データを変換する部分についてのみ示す。

【0054】

画像データ変換回路2は、5ビットのラッチ回路LAT1~LAT48と、セレクタ回路SEL0~SEL4とを含む。

【0055】

ラッチ回路LAT1~LAT48は、変換テーブル設定用データD4~D0が入力される。ラッチ回路LAT1は、MPU10からコマンドP1が入力されたときにアクティブになるイネーブル信号EN-P1に基いて、変換テーブル設定

用データD4～D0をラッチする。ラッチ回路LAT2は、MPU10からコマンドP2が入力されたときにアクティブになるイネーブル信号EN-P2に基づいて、変換テーブル設定用データD4～D0をラッチする。ラッチ回路LAT3～48についても、同様にMPU10からコマンドP3～P48が入力されたときにアクティブになるイネーブル信号EN-P3～EN-P48に基づいて、変換テーブル設定用データD4～D0をラッチする。

【0056】

ラッチ回路LAT1～LAT48は、ラッチした5ビットの変換テーブルデータR4₁～R0₁、R4₂～R0₂、・・・、R4₄₈～R0₄₈を出力する。

【0057】

セクタ回路SEL0は、ラッチ回路LAT1～LAT48それぞれから出力された変換テーブルデータR0₁～R0₄₈の中から、MPUインターフェース1から出力された変換前の4ビットの画像データD3～D0に基づいて、選択ビットRO0を選択出力する。

【0058】

セクタ回路SEL1は、ラッチ回路LAT1～LAT48それぞれから出力された変換テーブルデータR1₁～R1₄₈の中から、MPUインターフェース1から出力された変換前の4ビットの画像データD3～D0に基づいて、選択ビットRO1を選択出力する。

【0059】

セクタ回路SEL2は、ラッチ回路LAT1～LAT48それぞれから出力された変換テーブルデータR2₁～R2₄₈の中から、MPUインターフェース1から出力された変換前の4ビットの画像データD3～D0に基づいて、選択ビットRO2を選択出力する。

【0060】

セクタ回路SEL3は、ラッチ回路LAT1～LAT48それぞれから出力された変換テーブルデータR3₁～R3₄₈の中から、MPUインターフェース1から出力された変換前の4ビットの画像データD3～D0に基づいて、選択ビットRO3を選択出力する。

【 0 0 6 1 】

セクタ回路 SEL 4 は、ラッチ回路 LAT 1 ~ LAT 4 8 それぞれから出力された変換テーブルデータ R 4₁ ~ R 4₄₈の中から、MPU インターフェース 1 から出力された変換前の 4 ビットの画像データ D 3 ~ D 0 に基いて、選択ビット RO 4 を選択出力する。

【 0 0 6 2 】

例えばセクタ回路 SEL 0 ~ SEL 4 は、4 ビットの画像データ D 3 ~ D 0 が (0 , 0 , 0 , 0) のとき、コマンド P 1 に基いてラッチ回路 LAT 1 に設定されて出力された R 4₁ ~ R 0₁を、それぞれ選択ビット RO 0 ~ RO 4 として選択出力する。

【 0 0 6 3 】

以上のような構成により、画像データ変換回路 2 は、変換前の 4 ビットの画像データ D 4 ~ D 0 から、選択ビット RO 4 ~ RO 0 を 5 ビットの階調データとして出力することができる。

【 0 0 6 4 】

このような画像データ変換回路 2 から連続的に出力される階調データは、RAM 3 に順次記憶される。RAM 3 には、階調パターン選択 ROM 4 A ~ 4 D が接続されている。階調パターン選択 ROM 4 A ~ 4 D の各々は、RAM 3 から供給される各色の階調データ（以下においては 5 ビットとする）に基いて、FRC ROM 5 A ~ 5 D に記憶されている複数の階調パターンの中から 1 つの階調パターンを選択するための階調パターン選択信号を出力する。

【 0 0 6 5 】

ここで、階調パターンは、階調に応じた階調表現を行うために、所与のフレーム周期でオン又はオフを指定するパターンをいう。FRC ROM 5 A ~ 5 D は、互いに異なるフレーム周期の各階調に応じた複数の階調パターンを記憶する。

【 0 0 6 6 】

図 7 に、図 1 に示す FRC ROM 5 A ~ 5 D に記憶されている階調パターンの例を示す。FRC ROM 5 A には、階調パターン A - 1 から A - 8 までの 8 つの階調パターンが記憶されており、この内の 1 つが階調データに基いて選択される

。同様に、FRCROM5Bには、階調パターンB-1からB-9までの9つの階調パターンが記憶され、FRCROM5Cには階調パターンC-1からC-7までの7つの階調パターンが記憶され、FRCROM5Dには、階調パターンD-1からD-8までの8つの階調パターンが記憶されている。これらの階調パターンは、1回の出力ごとにパターンをずらすことが望ましい。例えば、1セグメント出力ごとに、図7の横に1段ずつずらしたROMデータを作成する。なお、階調パターンの開始アドレスは、1フレーム期間中は全て同じアドレスとする。

【0067】

FRCROM5A～5Dに記憶されている合計32種類の階調パターンを用いることにより、図8に示すような32階調でRGBの各色を表現することができる。図9に、これらの階調の連続性を示す。図9に示すように、本実施形態によれば、従来の8階調表示よりも木目細かい階調表示が可能となる。

【0068】

これは、例えば、画像データ変換回路2において、MPU10から入力される各色4ビットの画像データを、図8及び図9に示すような各階調に対応した各色5ビットの画像データに変換させるような変換テーブルを設定することで、容易に実現することができる。

【0069】

さらに、図1に示すように、FRCROM5A～5Dには、フレーム選択回路6A～6D及び7A～7Dがそれぞれ接続されている。フレーム選択回路6A～6D及び7A～7Dは、表示制御回路9の制御の下、一連の画像フレームについて、FRCROM5A～5Dにおいて選択された階調パターンを順次出力させることにより、FRC（フレームレートコントロール）変調を行う。

【0070】

図10に、ドライバIC20において、RAM3、階調パターン選択ROM4A～4D、FRCROM5A～5D、フレーム選択回路6A～6D、7A～7D及び表示制御回路9の接続関係を模式的に示す。

【0071】

表示制御回路9は、アドレス信号AD3₁₂～AD0₁₂を、フレーム選択回路6

A、7Aに出力する。アドレス信号AD3₁₂~AD0₁₂は、図11に示すように、フレーム期間を経過するたびに更新されるフレーム番号を示し、12フレーム周期で繰り返すようになっている。

【0072】

また表示制御回路9は、アドレス信号AD3₁₁~AD0₁₁を、フレーム選択回路6B、7Bに出力する。アドレス信号AD3₁₁~AD0₁₁は、図11に示すように、フレーム期間を経過するたびに更新されるフレーム番号を示し、11フレーム周期で繰り返すようになっている。

【0073】

また表示制御回路9は、アドレス信号AD3₁₀~AD0₁₀を、フレーム選択回路6C、7Cに出力する。アドレス信号AD3₁₀~AD0₁₀は、図11に示すように、フレーム期間を経過するたびに更新されるフレーム番号を示し、10フレーム周期で繰り返すようになっている。

【0074】

さらに表示制御回路9は、アドレス信号AD3₇~AD0₇を、フレーム選択回路6D、7Dに出力する。アドレス信号AD3₇~AD0₇は、図11に示すように、フレーム期間を経過するたびに更新されるフレーム番号を示し、7フレーム周期で繰り返すようになっている。

【0075】

RAM3は、画像データ変換回路2により変換された5ビットの階調データR4~R0を、階調パターン選択ROM4A~4Dに出力する。

【0076】

階調パターン選択ROM4A~4Dは、図8に示すように、5ビットの階調データに基く階調に応じて、FRCROM5A~5Dに記憶されている複数の階調パターンの中から1つの階調パターンを選択するための階調パターン選択信号を出力する。

【0077】

図12に、FRCROM、フレーム選択回路及び表示制御回路の接続関係を模式的に示す。

【 0 0 7 8 】

FRCROM5Aは、階調パターン選択ROM4Aから出力された階調パターン選択信号により選択された階調パターンの中から、フレーム選択回路6A又は7Aにより指定されたフレーム番号に応じて、表示オン又は表示オフを示す階調パターンをデコード出力する。

【 0 0 7 9 】

FRCROM5Bは、階調パターン選択ROM4Bから出力された階調パターン選択信号により選択された階調パターンの中から、フレーム選択回路6B又は7Bにより指定されたフレーム番号に応じて、表示オン又は表示オフを示す階調パターンをデコード出力する。

【 0 0 8 0 】

FRCROM5Cは、階調パターン選択ROM4Cから出力された階調パターン選択信号により選択された階調パターンの中から、フレーム選択回路6C又は7Cにより指定されたフレーム番号に応じて、表示オン又は表示オフを示す階調パターンをデコード出力する。

【 0 0 8 1 】

FRCROM5Dは、階調パターン選択ROM4Dから出力された階調パターン選択信号により選択された階調パターンの中から、フレーム選択回路6D又は7Dにより指定されたフレーム番号に応じて、表示オン又は表示オフを示す階調パターンをデコード出力する。

【 0 0 8 2 】

FRCROM5A～5Dに入力され、各フレームをそれぞれ特定するための制御信号G11～G0（制御信号G15～G12は未使用）のうち、制御信号G11～G8、G3～G0はフレーム選択回路6A～6Dにおいて生成される。また制御信号G15～G12、G7～G4はフレーム選択回路7A～7Dにおいて生成される。

【 0 0 8 3 】

このように、各々のFRCROMに対応するフレーム選択回路を2つの部分に分けたのは、フレーム選択回路にはトランスファークゲートやNAND回路等を構

成する高速で面積の大きいトランジスタが複数含まれているので、これらのトランジスタを一カ所に集めるとその部分の面積が増大してしまい、レイアウトが困難になるからである。

【0084】

特にFRCROMに制御信号を出力するフレーム選択回路に比べて該FRCROMの素子数が少ない場合、フレーム選択回路のレイアウト（配置）形状が、ドライバIC20の短辺方向に大きくなってレイアウト効率が低下してしまう。したがって、フレーム選択回路を分割することにより、ドライバIC20の長辺方向に長くなっても、その短辺方向の長さを小さくすることができるので、レイアウト効率を向上させることができる。

【0085】

次に、フレーム選択回路、階調パターン選択回路及びFRCROMについて説明する。

【0086】

フレーム選択回路6Aは、図13に示すように、表示制御回路9からのアドレス信号 $AD3_{12} \sim AD0_{12}$ から、制御信号 $G11 \sim G8$ 、 $G3 \sim G0$ を生成する。制御信号 $G11 \sim G8$ 、 $G3 \sim G0$ は、FRCROM5Aに対して出力される。フレーム選択回路6Aは、例えばアドレス信号 $AD3_{12} \sim AD0_{12}$ がフレーム1を表しているとき（ $AD3_{12} \sim AD0_{12} = 「0000」$ ）は、制御信号 $G0$ がアクティブ（論理レベル「L」）で、制御信号 $G11 \sim G8$ 、 $G3 \sim G1$ がインアクティブ（論理レベル「H」）となるようにデコードを行う。またフレーム選択回路6Aは、例えばアドレス信号 $AD3_{12} \sim AD0_{12}$ がフレーム12を表しているとき（ $AD3_{12} \sim AD0_{12} = 「1011」$ ）は、制御信号 $G11$ がアクティブ（論理レベル「L」）で、制御信号 $G10 \sim G8$ 、 $G3 \sim G0$ がインアクティブ（論理レベル「H」）となるようにデコードを行う。

【0087】

ここでは、フレーム選択回路6Aについて説明するが、フレーム選択回路6B～6D、7A～7Dについても同様に構成することができるため、説明を省略する。

【0088】

階調パターン選択ROM 4 A～4 Dの各々と、それに対応するFRCROM 5 A～5 Dの各々とを、1つのROMとして構成しても良い。

【0089】

図14に、階調パターン選択ROM 4 A～4 Dの各々と、それに対応するFRCROM 5 A～5 Dの各々とを、1つのROMとして構成した構成例を示す。

【0090】

このような構成のROMは、複数のコモン電極を同時選択するマルチライン駆動法 (Multi Line Selection: M L S) により複数ライン分の階調パターンを出力する場合、当該複数のコモン電極に対応する複数のセグメント電極のうち奇数ライン用及び偶数ライン用として共用化するため、2つ1組で設けられる。例えば階調パターン選択ROM 4 Aと、これに対応するFRCROM 5 Aとが1つのROMとして構成された場合、図14に示した構成のROMを2つ含むように構成される。

【0091】

図14に示す複数のトランジスタの内の所定のものは、ソースとドレインとの間がアルミ配線でショートされており、これによってデータを変換するために用いるアルゴリズムを記憶している。

【0092】

下側のトランジスタ群は、RAM 3から供給される5ビットの階調データに基づいて階調パターンを選択するための階調パターン選択ROM (デコーダ) を構成し、5ビットの階調データに応じて上側のトランジスタ群に対して (広義の) 階調パターン選択信号を供給する。上側のトランジスタ群は、図7に示す階調パターン D-1、D-2、D-3、・・・を表している。例えば、階調データ (M4～M0 = 「00011」) が入力された場合には、最も左側のトランジスタ列によって表される階調パターン D-1 が選択される。このとき、最も左側のトランジスタ列のうち、制御信号 G0 がゲートに接続されるトランジスタのソースに印加される (広義の) 階調パターン選択信号が、接地電位 (プリチャージ電位) となる。

【 0 0 9 3 】

上側のトランジスタ群のゲートには、制御信号 G 0 ~ G 1 1 が印加される。階調パターン D - 1 を表す最も左側のトランジスタ列において、1 番目の制御信号 G 0 に対応するトランジスタと 7 番目の制御信号 G 6 に対応するトランジスタにおいて、ソースとドレインとの間がショートされている。制御信号 G 0 ~ G 1 1 の内の 1 つを順次論理レベル「L」にして他を論理レベル「H」にすることにより、図 7 に示す階調パターン D - 1 の最上列に示されているドットが順次出力される。同様にして、他の階調パターン A ~ C に対応するトランジスタ群を含む R O M を設けることにより、図 8 及び図 9 に示す 3 2 階調を表現することができる。

【 0 0 9 4 】

図 1 において、図 1 4 のような構成の R O M から出力された奇数ライン及び偶数ラインの出力は、L C D インターフェース 8 に入力される。

【 0 0 9 5 】

図 1 5 に、L C D インターフェース 8 の構成の一例を示す。

【 0 0 9 6 】

ここでは、4 ライン同時選択の M L S により駆動される 1 セグメント出力当たりの構成を示している。

【 0 0 9 7 】

L C D インターフェース（広義には、駆動信号出力回路）8 は、ラッチ回路 1 0 0 A ~ 1 0 0 D、M L S デコーダ 1 1 0、ラッチ回路 1 2 0 A ~ 1 2 0 E、ドライバロジック 1 3 0、レベルシフタ（L S）1 4 0 A ~ 1 4 0 E、セグメント電極駆動回路 1 5 0 を含む。

【 0 0 9 8 】

ラッチ回路 1 0 0 A は、F R C R O M 5 A ~ 5 D からの奇数ラインのうち、M L S により同時選択される 4 ラインのコモン電極に対応した第 1 ライン（1 ライン目）の出力がラッチされる。ラッチ回路 1 0 0 C は、F R C R O M 5 A ~ 5 D からの奇数ラインのうち、M L S により同時選択される 4 ラインのコモン電極に対応した第 3 ライン（3 ライン目）の出力がラッチされる。ラッチ回路 1 0 0 B は、F R C R O M 5 A ~ 5 D からの偶数ラインのうち、M L S により同時選択さ

れる4ラインのコモン電極に対応した第2ライン(2ライン目)の出力がラッチされる。ラッチ回路100Dは、FRCROM5A~5Dからの奇数ラインのうち、MLSにより同時選択される4ラインのコモン電極に対応した第4ライン(4ライン目)の出力がラッチされる。

【0099】

MLSデコーダ110は、同時選択されるコモン電極4ライン分の走査パターンにより規定される直交関数を用いて、セグメント電極4ライン分(上述の第1~第4ライン)の表示パターンに対し、予めMLS演算を行い、その演算結果を、フィールド単位でデコード出力する。このデコード出力は、セグメント電極に供給する電圧を選択する選択信号として出力される。この選択信号は、4ライン同時選択の場合、5値の電圧(V3、V2、VC、MV2、MV3)のいずれか1つを選択する。

【0100】

MLSデコーダ110から出力されたデコード出力は、ラッチ回路120A~120Eでラッチされた後、ドライバロジック130に入力される。

【0101】

ドライバロジック130では、極性反転タイミング等にしがって、選択信号の論理演算が行われる。ドライバロジック130の出力は、レベルシフト回路140A~140Eにより電圧レベルが変換された後、セグメント電極駆動回路150に入力される。セグメント電極駆動回路150は、レベルシフト回路140A~140Eに基づいて、電圧V3、V2、VC、MV2、MV3のいずれかの電圧を、セグメント出力端子を介し、LCDパネル30のセグメント電極に出力する。

【0102】

以上のような構成により、ドライバIC20は、MPU10からの各色4ビットの画像データを変換した各色5ビットの階調データに基いて、互いに異なるフレーム周期の複数の階調パターンの中から1つの階調パターンを選択し、例えばMLSにより、セグメント電極にLCDパネル(広義には、表示パネル)30を駆動するための駆動信号を出力することができる。

【0103】

このようなドライバIC20は、互いに交差する複数のコモン電極と複数のセグメント電極とにより特定される画素を含むLCDパネル30が実装される基板上に設けることができる。またLCDパネル30のコモン電極を駆動する走査ドライバICも、当該基板上に設けるようにしてもよい。

【0104】

また図16に示すように、互いに交差する複数のコモン電極と複数のセグメント電極とにより特定される画素を含む表示パネル200がガラス基板上に形成されている場合に、該ガラス基板上に、ドライバIC20と同様の機能を有する本実施形態における表示駆動回路210をIC化することなく直接形成するようにしてもよい。この際、表示パネル200のコモン電極を、表示パネル200の外部から走査ドライバICで駆動するように構成してもよいし、表示パネル200のコモン電極を駆動する走査ドライバ220を、直接該ガラス基板上に形成するようにしてもよい。

【0105】

なお本発明は、上記実施形態で説明したものに限らず、種々の変形実施が可能である。

【0106】

【発明の効果】

以上述べた様に、本実施形態によれば、LCD等を駆動して複数の階調でカラー表示を行う際に、表示可能な色調の種類を拡大し、表示される色の選択の自由度を増すことができる。

【図面の簡単な説明】

【図1】

本発明の一実施形態に係る半導体集積回路の構成を示すブロック図である。

【図2】

図1に示すLCDパネルの概略構成を示す図である。

【図3】

MPUインターフェースの構成の一例を示すブロック図である。

【図 4】

図 4 (A) は、MPU インターフェースの動作を説明するための説明図である。図 4 (B) は、MPU インターフェースの動作タイミングの一例を示すタイミングチャートである。

【図 5】

画像データ変換回路における変換テーブルの一例を示す説明図である。

【図 6】

画像データ変換回路の構成の一例を示すブロック図である。

【図 7】

FRCROM に記憶されている階調パターンの例を示す図である。

【図 8】

FRCROM に記憶されている 3 2 種類の階調パターンを用いることにより表現できる 3 2 階調を示す図である。

【図 9】

図 8 に示す 3 2 階調の連続性を示す図である。

【図 1 0】

本実施形態におけるドライバ IC の構成要部の接続関係を模式的に示すブロック図である。

【図 1 1】

表示制御回路から出力されるアドレス信号を説明するための説明図である。

【図 1 2】

FRCROM、フレーム選択回路及び表示制御回路の接続関係を模式的に示すブロック図である。

【図 1 3】

フレーム選択回路の構成の一例を示す回路図である。

【図 1 4】

階調パターン選択 ROM と FRCROM とを 1 つの ROM とした構成を示す回路図である。

【図 1 5】

LCDインターフェースの構成の一例を示すブロック図である。

【図 1 6】

表示パネルの構成の一例を示す構成図である。

【図 1 7】

従来のカラー表示方法におけるデータ処理を示す図である。

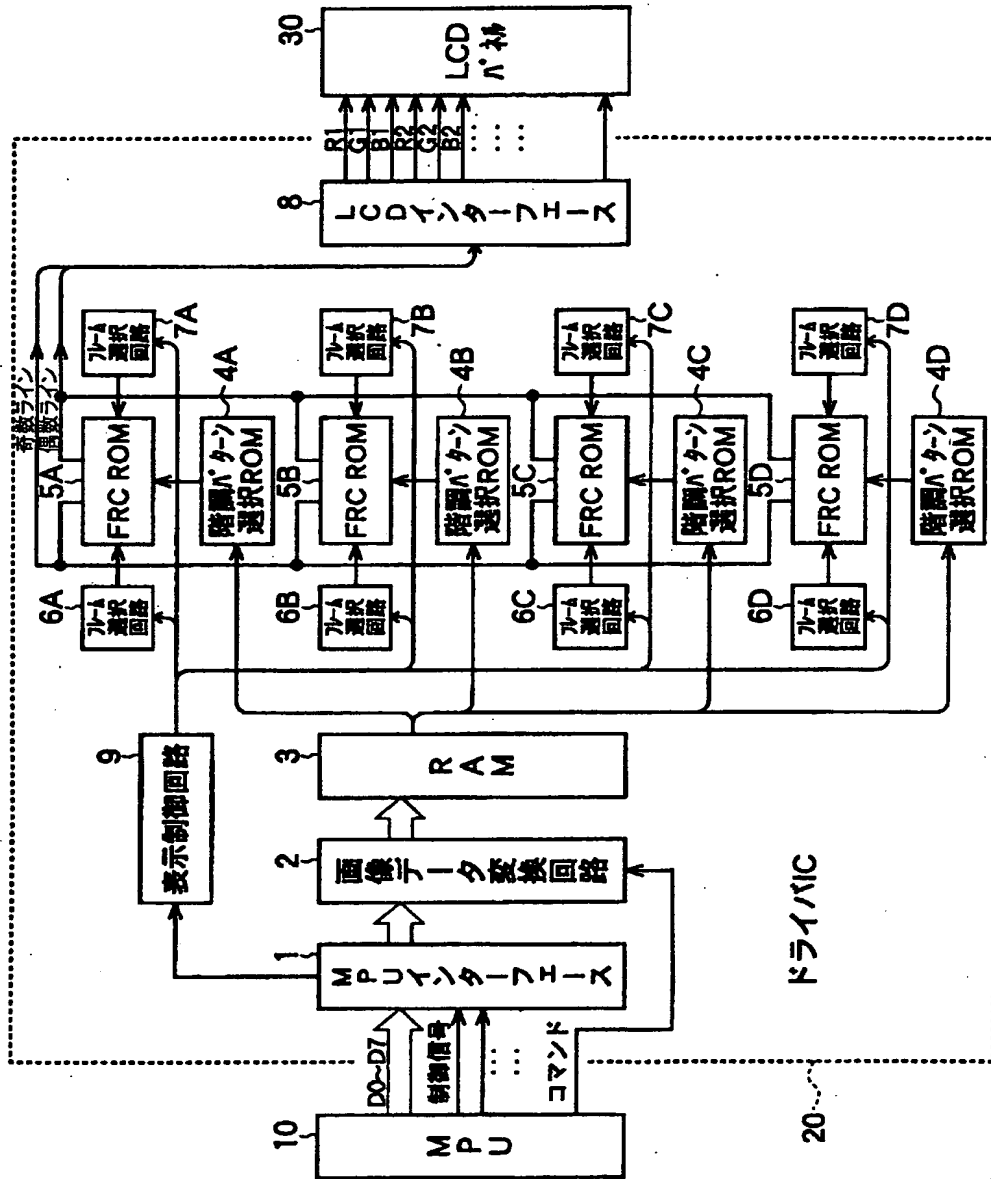
【符号の説明】

- 1 MPUインターフェース
- 2 データ変換回路
- 3 RAM
- 4 A～4 D 階調パターン選択ROM
- 5 A～5 D FRCROM
- 6 A～6 D、7 A～7 D フレーム選択回路
- 8 LCDインターフェース
- 1 0 MPU
- 1 1、1 2、・・・ セグメント方向に分割された領域
- 1 1 R、1 1 G、1 1 B RGBの各色を表示するための領域
- 2 1、2 2、・・・ コモン方向に分割された領域
- 2 0 ドライバIC
- 3 0 LCDパネル
- 3 1 R、3 1 G、3 1 B 端子

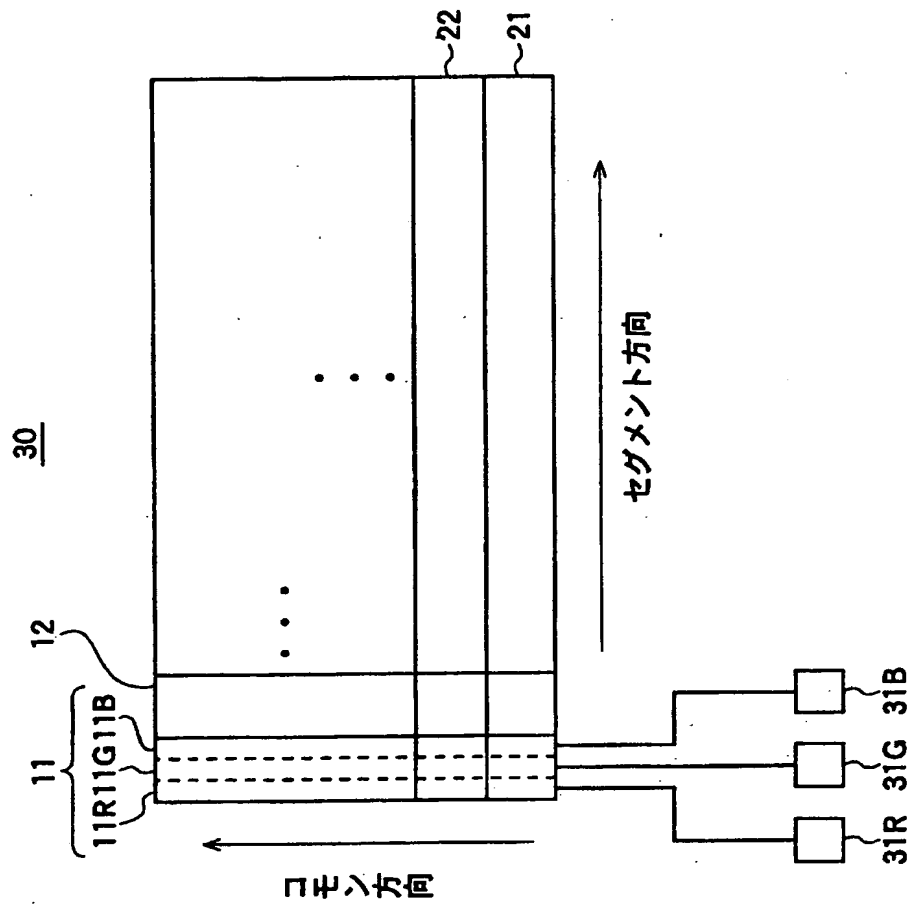
【書類名】

図面

【図 1】

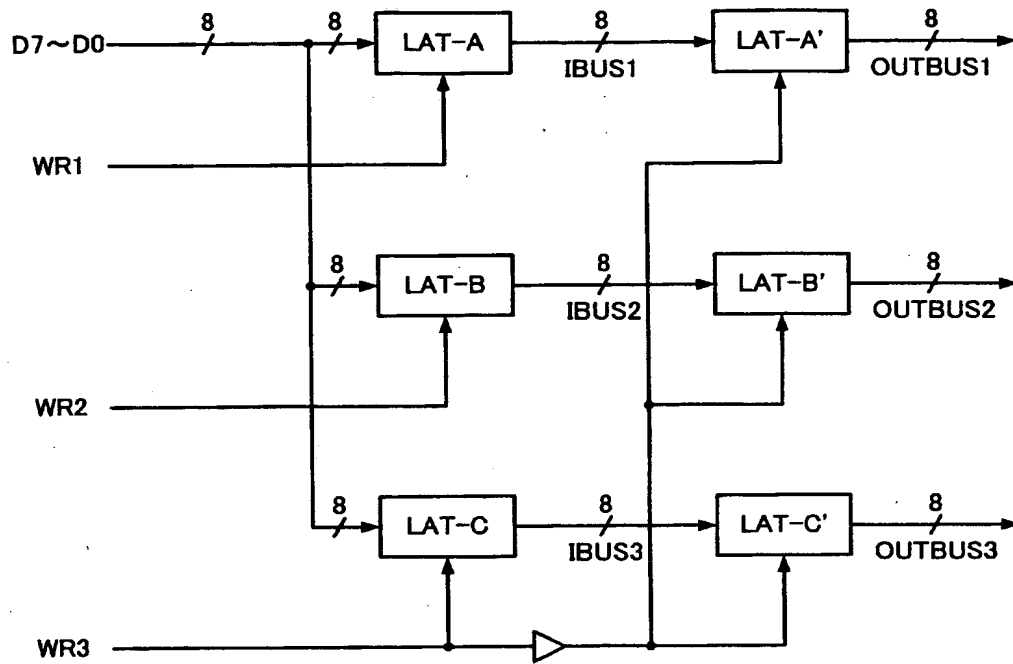


【図 2】



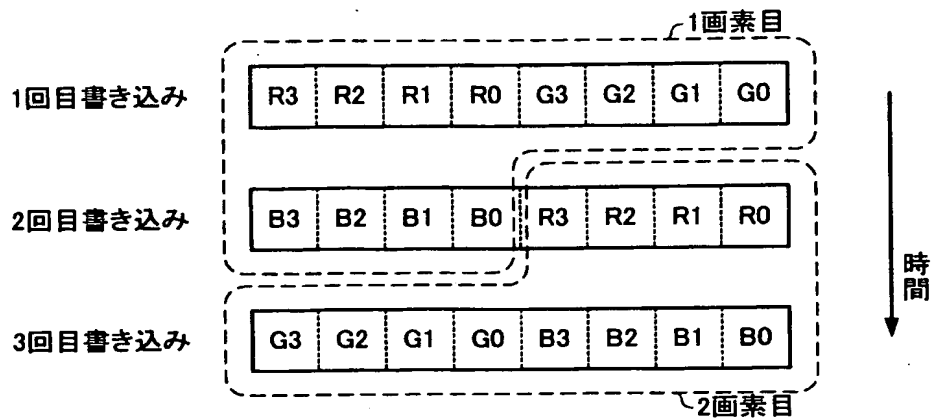
【図 3】

1

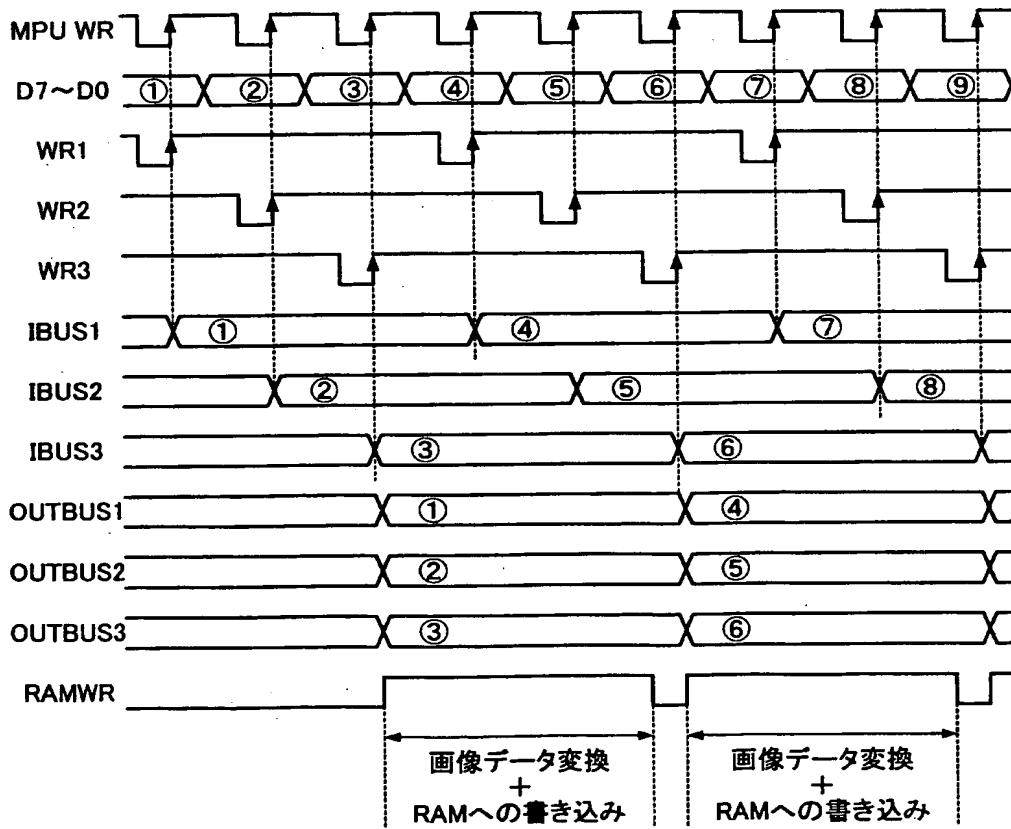


【図 4】

(A)



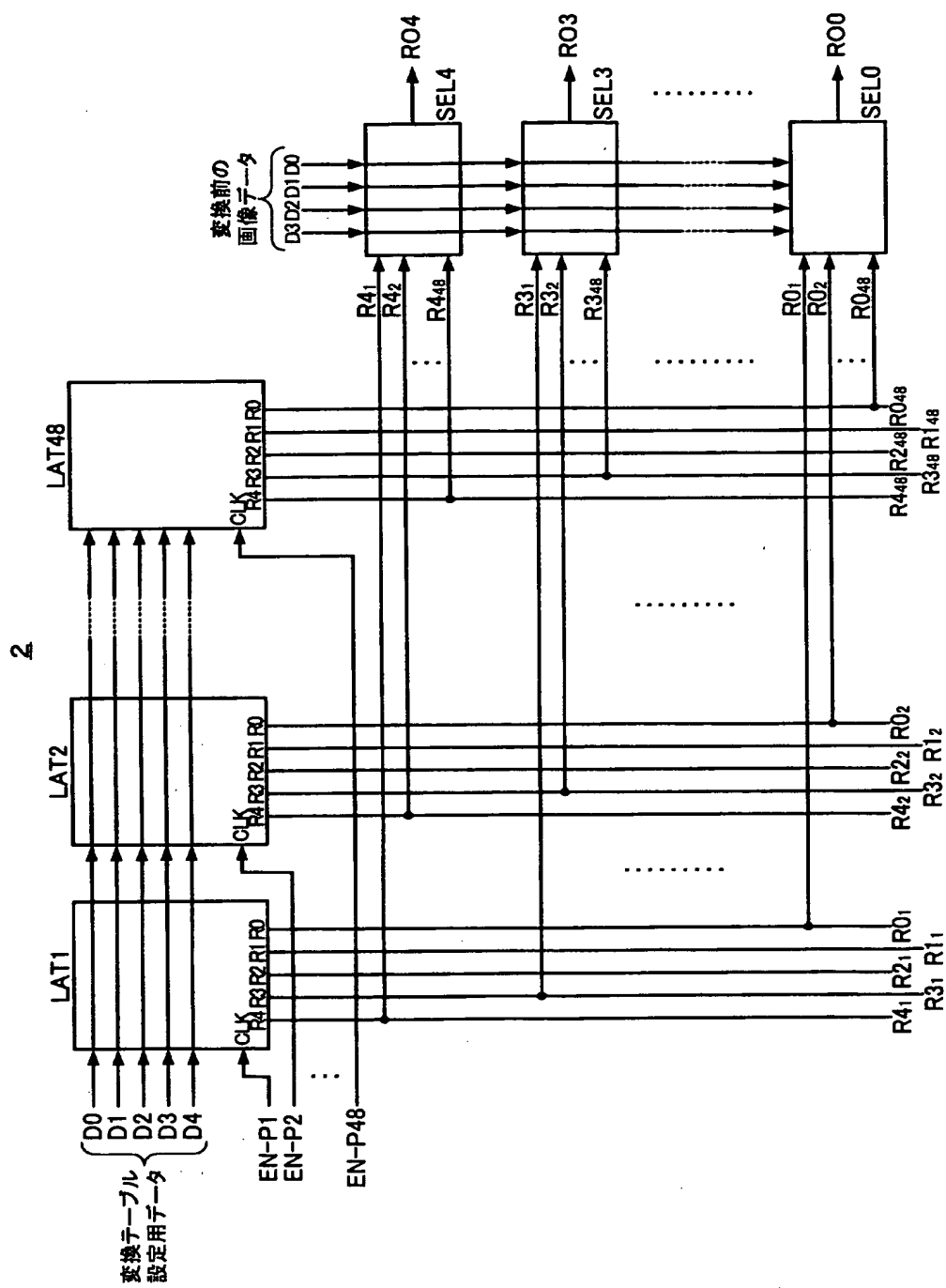
(B)



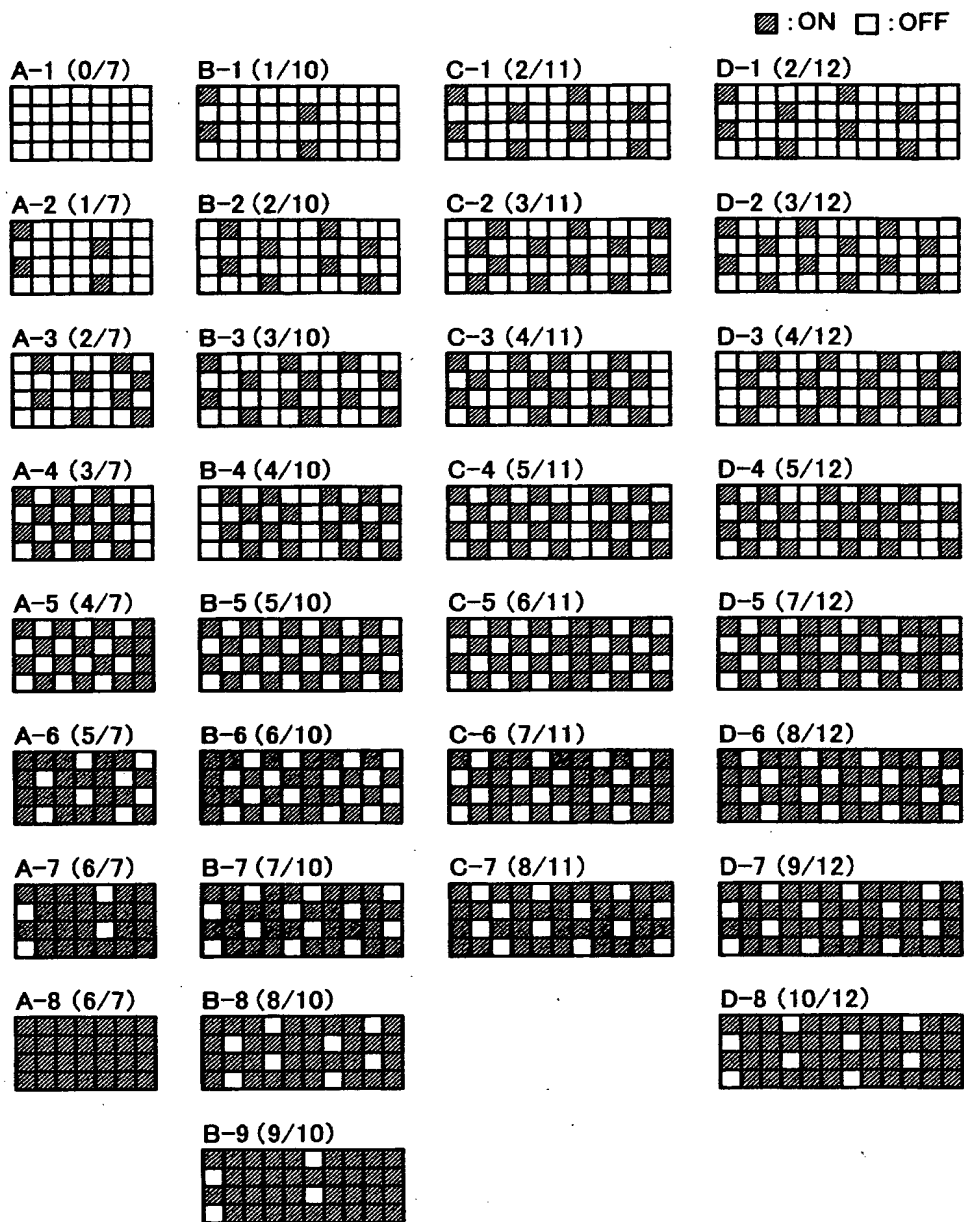
【図5】

コマンド	D7	D6	D5	D4	D3	D2	D1	D0	変換前4ビット画像データ
P1	*	*	*	P14	P13	P12	P11	P10	R(0,0,0)
P2	*	*	*	P24	P23	P22	P21	P20	R(0,0,1)
P3	*	*	*	P34	P33	P32	P31	P30	R(0,1,0)
P4	*	*	*	P44	P43	P42	P41	P40	R(0,1,1)
P5	*	*	*	P54	P53	P52	P51	P50	R(1,0,0)
P6	*	*	*	P64	P63	P62	P61	P60	R(1,0,1)
P7	*	*	*	P74	P73	P72	P71	P70	R(1,1,0)
P8	*	*	*	P84	P83	P82	P81	P80	R(1,1,1)
P9	*	*	*	P94	P93	P92	P91	P90	R(1,0,0)
P10	*	*	*	P104	P103	P102	P101	P100	R(1,0,1)
P11	*	*	*	P114	P113	P112	P111	P110	R(1,1,0)
P12	*	*	*	P124	P123	P122	P121	P120	R(1,1,1)
P13	*	*	*	P134	P133	P132	P131	P130	R(1,1,0)
P14	*	*	*	P144	P143	P142	P141	P140	R(1,1,1)
P15	*	*	*	P154	P153	P152	P151	P150	R(1,1,1)
P16	*	*	*	P164	P163	P162	P161	P160	R(1,1,1)
P17	*	*	*	P174	P173	P172	P171	P170	G(0,0,0)
P18	*	*	*	P184	P183	P182	P181	P180	G(0,0,1)
P19	*	*	*	P194	P193	P192	P191	P190	G(0,1,0)
P20	*	*	*	P204	P203	P202	P201	P200	G(0,1,1)
P21	*	*	*	P214	P213	P212	P211	P210	G(0,1,0)
P22	*	*	*	P224	P223	P222	P221	P220	G(0,1,1)
P23	*	*	*	P234	P233	P232	P231	P230	G(0,1,1)
P24	*	*	*	P244	P243	P242	P241	P240	G(0,1,1)
P25	*	*	*	P254	P253	P252	P251	P250	G(1,0,0)
P26	*	*	*	P264	P263	P262	P261	P260	G(1,0,1)
P27	*	*	*	P274	P273	P272	P271	P270	G(1,0,1)
P28	*	*	*	P284	P283	P282	P281	P280	G(1,0,1)
P29	*	*	*	P294	P293	P292	P291	P290	G(1,1,0)
P30	*	*	*	P304	P303	P302	P301	P300	G(1,1,1)
P31	*	*	*	P314	P313	P312	P311	P310	G(1,1,1)
P32	*	*	*	P324	P323	P322	P321	P320	G(1,1,1)
P33	*	*	*	P334	P333	P332	P331	P330	B(0,0,0)
P34	*	*	*	P344	P343	P342	P341	P340	B(0,0,1)
P35	*	*	*	P354	P353	P352	P351	P350	B(0,1,0)
P36	*	*	*	P364	P363	P362	P361	P360	B(0,1,1)
P37	*	*	*	P374	P373	P372	P371	P370	B(0,1,0)
P38	*	*	*	P384	P383	P382	P381	P380	B(0,1,1)
P39	*	*	*	P394	P393	P392	P391	P390	B(0,1,1)
P40	*	*	*	P404	P403	P402	P401	P400	B(0,1,1)
P41	*	*	*	P414	P413	P412	P411	P410	B(1,0,0)
P42	*	*	*	P424	P423	P422	P421	P420	B(1,0,1)
P43	*	*	*	P434	P433	P432	P431	P430	B(1,0,1)
P44	*	*	*	P444	P443	P442	P441	P440	B(1,0,1)
P45	*	*	*	P454	P453	P452	P451	P450	B(1,1,0)
P46	*	*	*	P464	P463	P462	P461	P460	B(1,1,1)
P47	*	*	*	P474	P473	P472	P471	P470	B(1,1,1)
P48	*	*	*	P484	P483	P482	P481	P480	B(1,1,1)

【図 6】



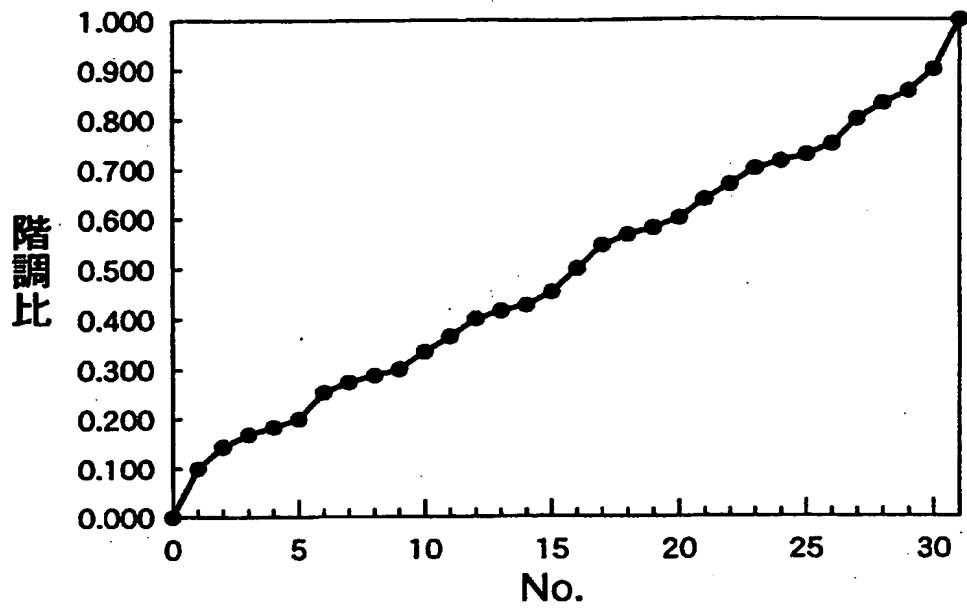
【図 7】



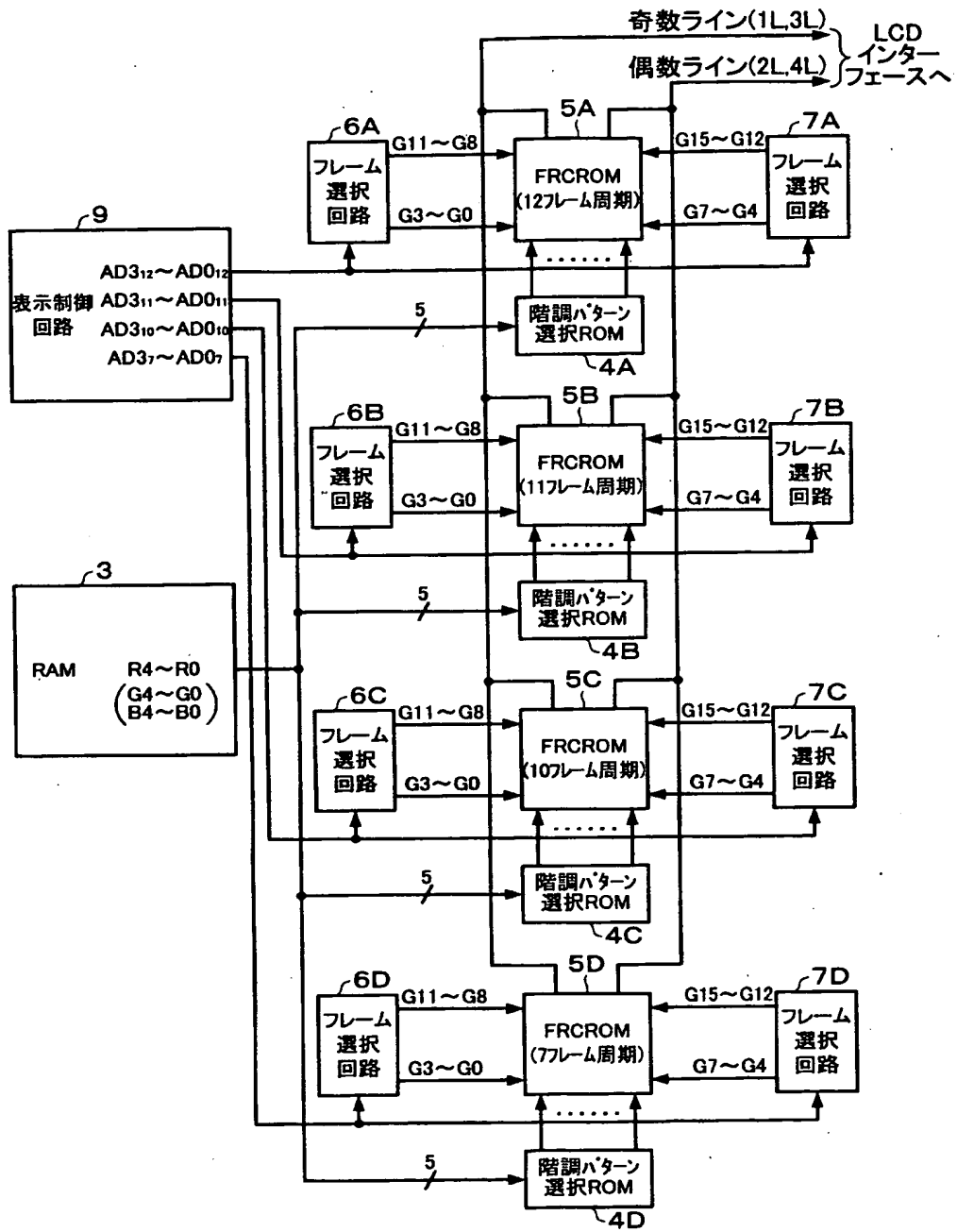
【図 8】

No.	階調	比	差
0	0/7	0.000	—
1	1/10	0.100	0.100
2	1/7	0.143	0.043
3	2/12	0.167	0.024
4	2/11	0.182	0.015
5	2/10	0.200	0.018
6	3/12	0.250	0.050
7	3/11	0.273	0.023
8	2/7	0.286	0.013
9	3/10	0.300	0.014
10	4/12	0.333	0.033
11	4/11	0.364	0.030
12	4/10	0.400	0.036
13	5/12	0.417	0.017
14	3/7	0.429	0.012
15	5/11	0.455	0.026
16	5/10	0.500	0.045
17	6/11	0.545	0.045
18	4/7	0.571	0.026
19	7/12	0.583	0.012
20	6/10	0.600	0.017
21	7/11	0.636	0.036
22	8/12	0.667	0.030
23	7/10	0.700	0.033
24	5/7	0.714	0.014
25	8/11	0.727	0.013
26	9/12	0.750	0.023
27	8/10	0.800	0.050
28	10/12	0.833	0.033
29	6/7	0.857	0.024
30	9/10	0.900	0.043
31	7/7	1.000	0.100

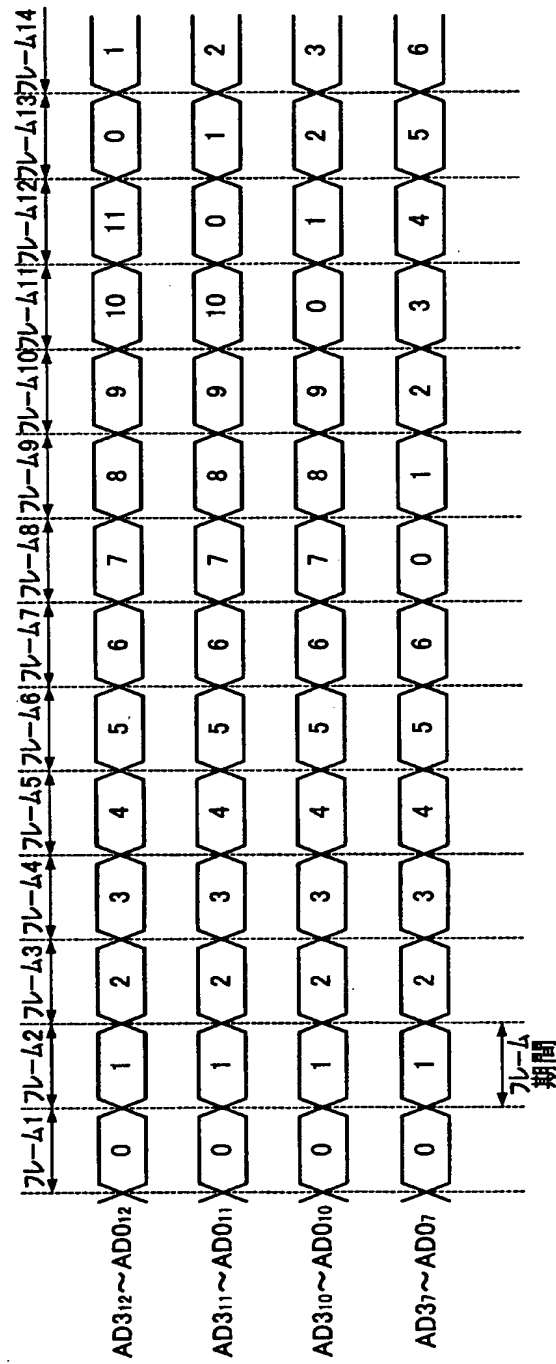
【図9】



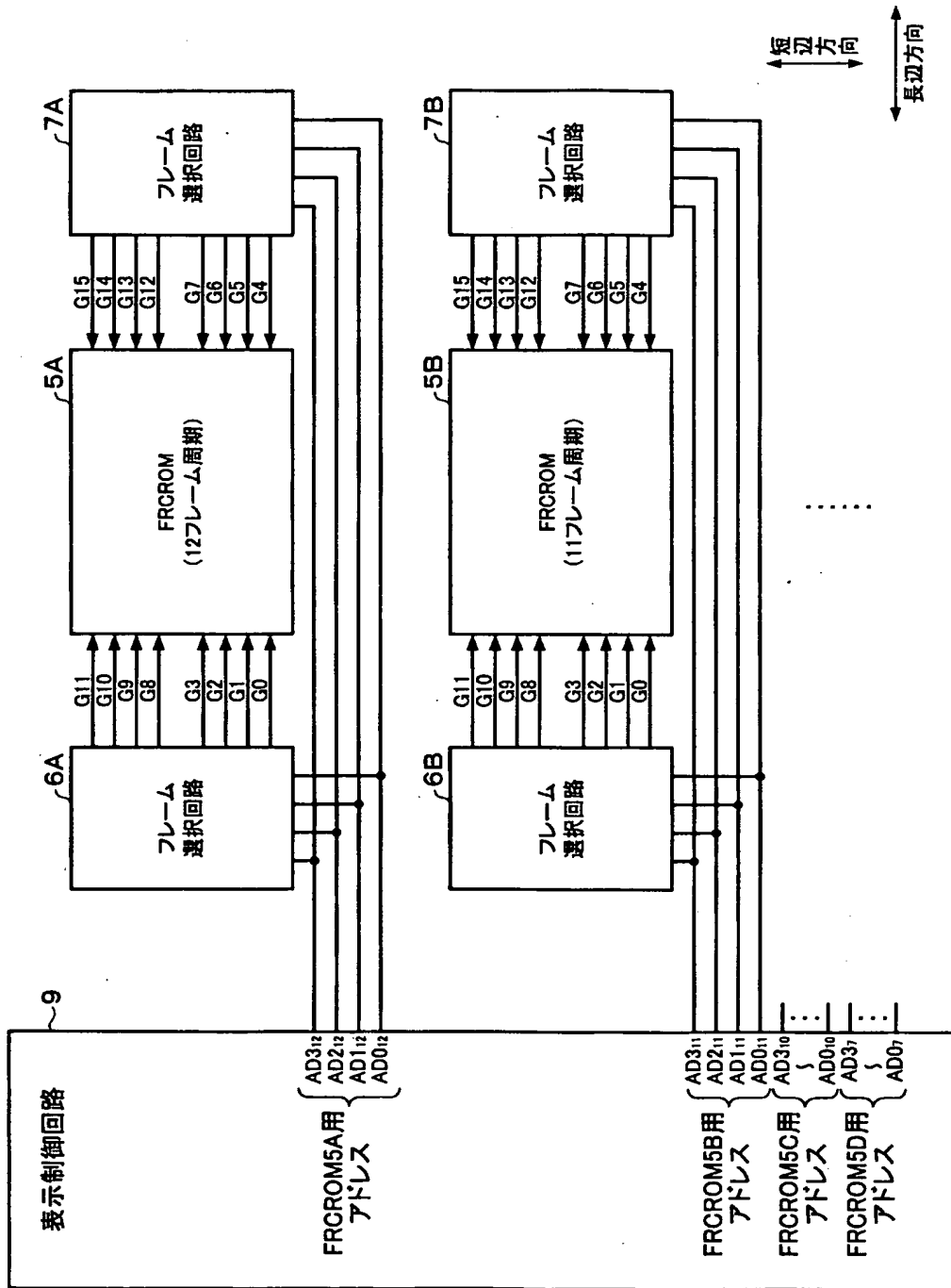
【図 10】



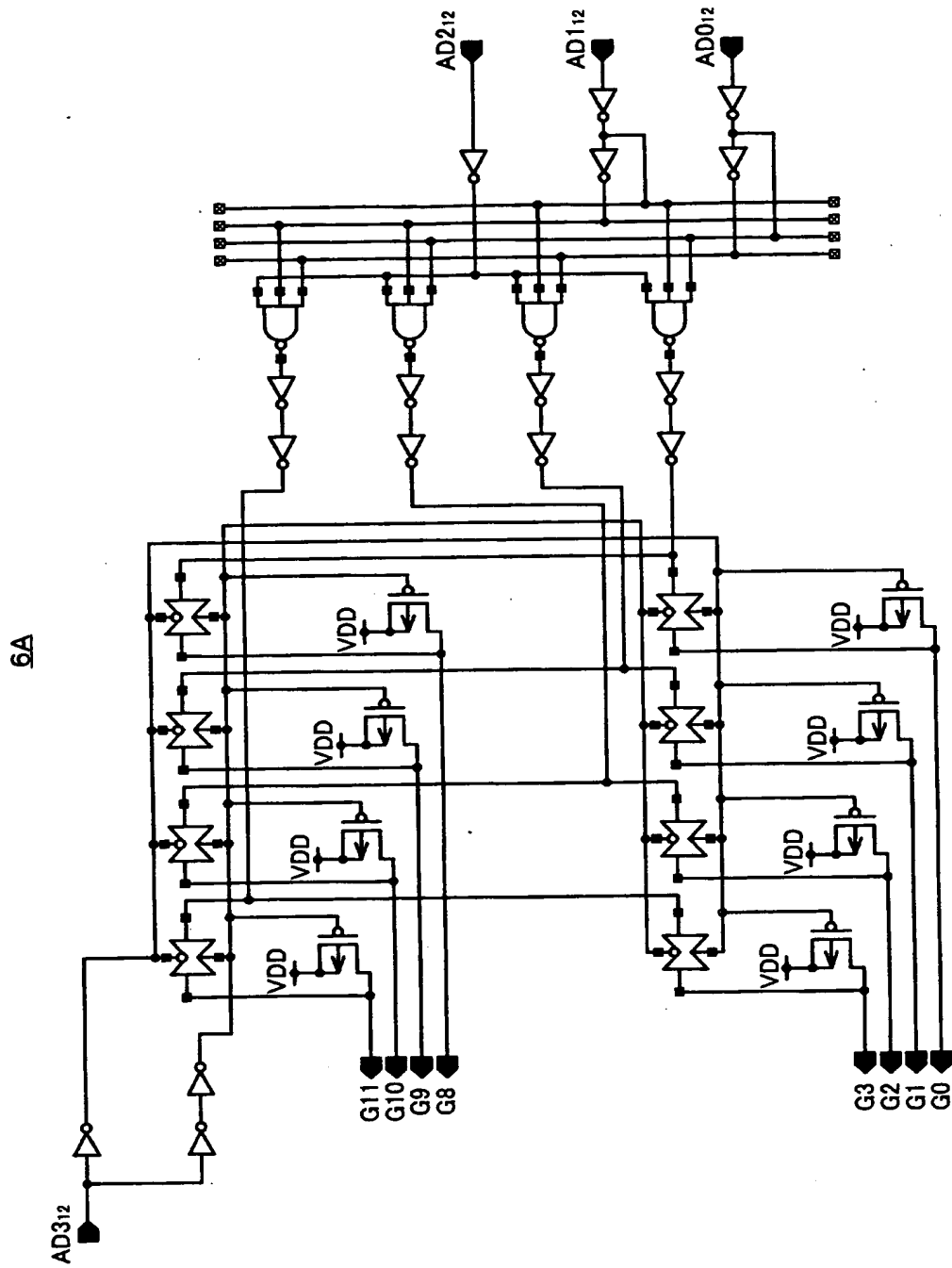
【図 11】



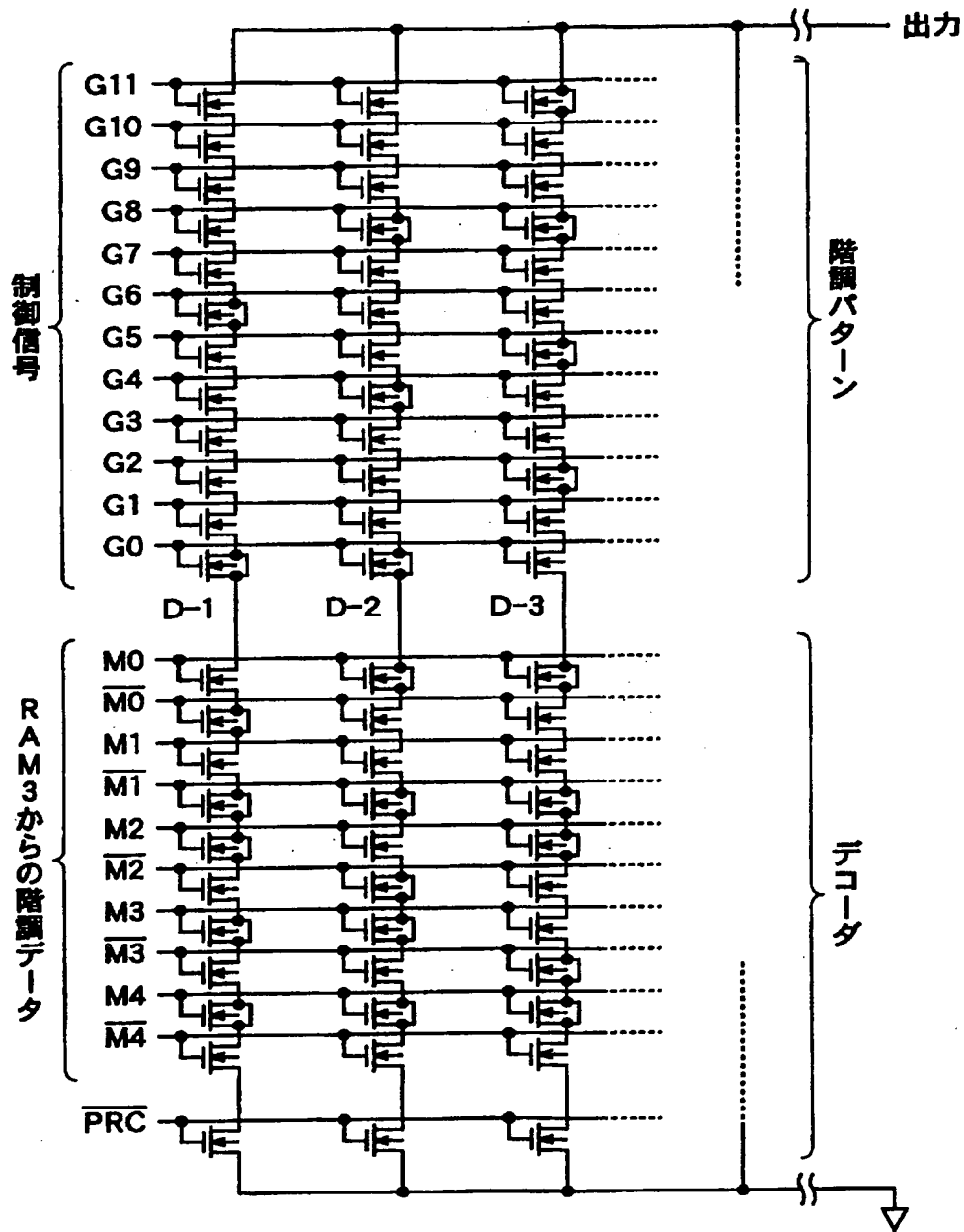
【図 12】



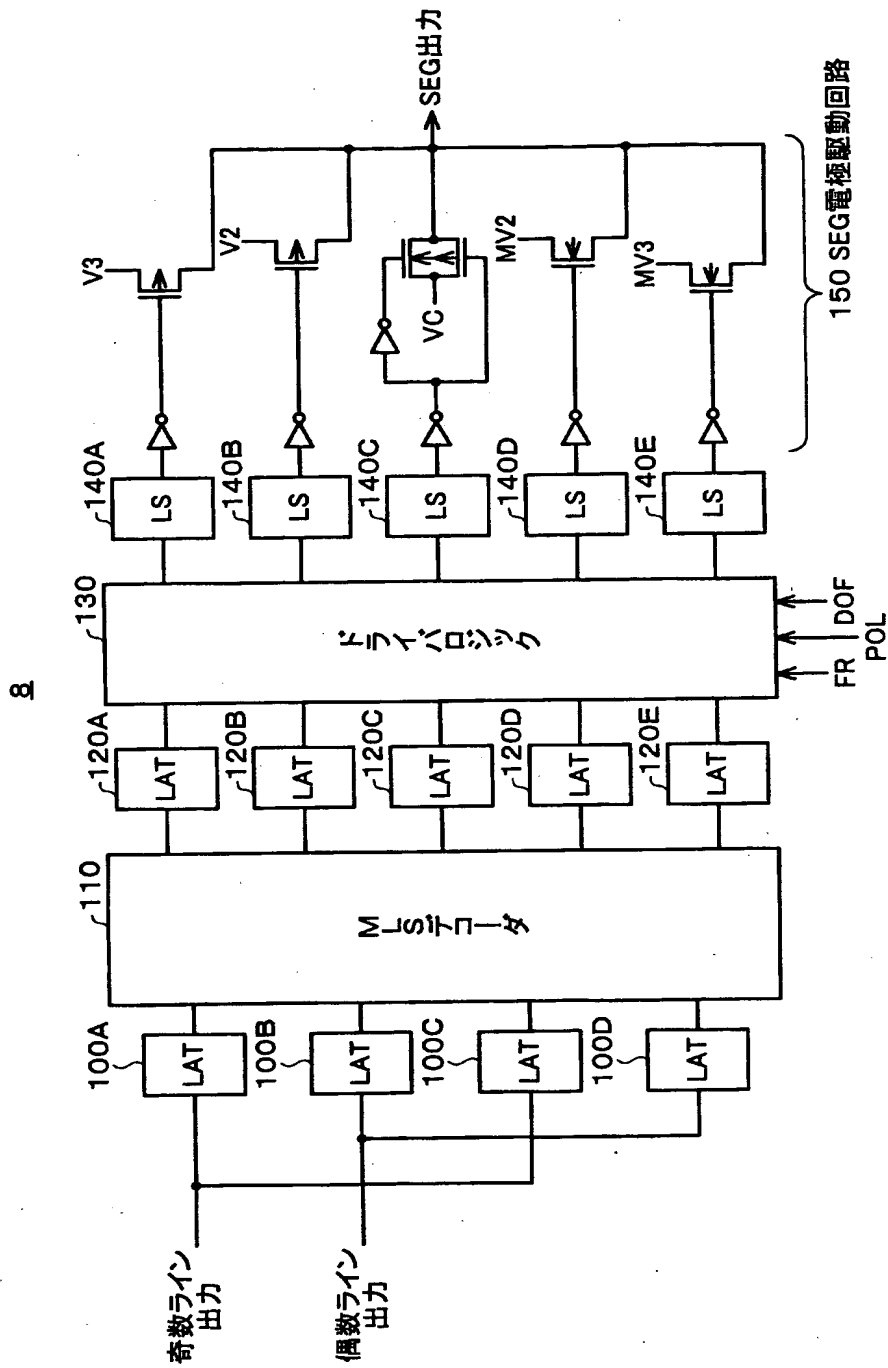
【図 13】



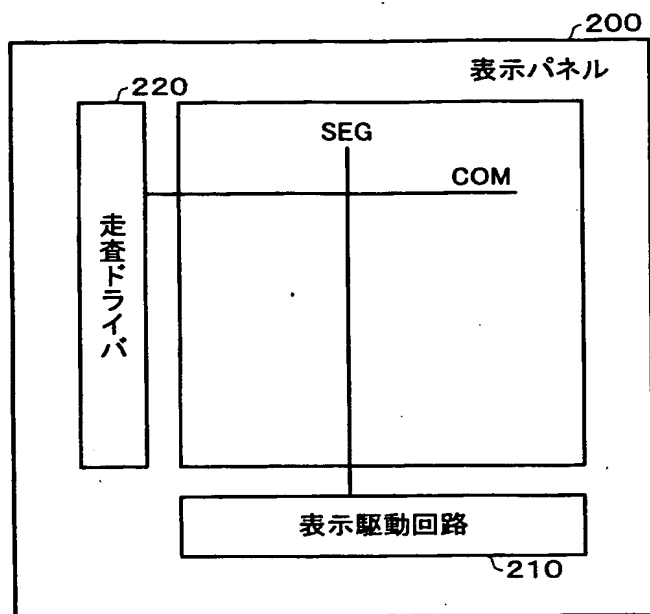
【図 14】



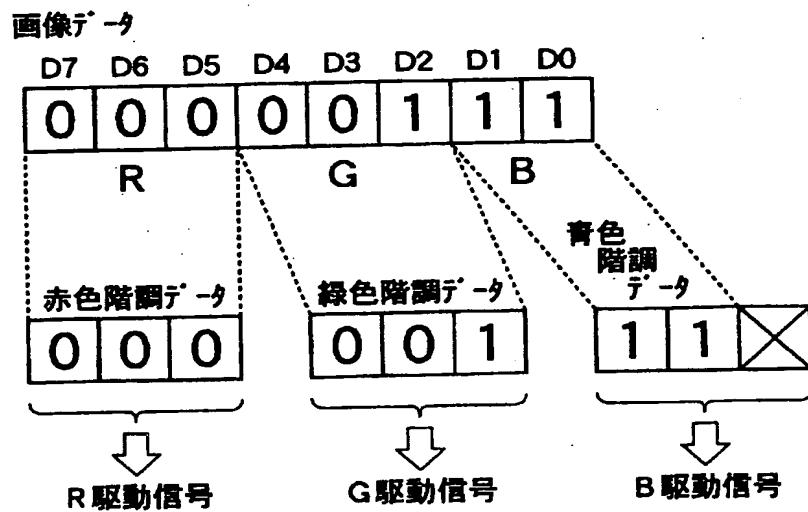
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 L C D等を駆動して複数の階調でカラー表示を行う際に、表示可能な色調の種類を拡大し、表示される色の選択の自由度を増すことのできる表示駆動回路、半導体集積回路、表示パネル及び表示駆動方法を提供する。

【解決手段】 画像表示用のデータを順次記憶する R A M 3 と、複数の階調パターン選択回路 4、5 であって、各々が、R A M に記憶されているデータに基づいて複数の階調パターンの中から 1 つの階調パターンを選択する、複数の階調パターン選択回路と、複数のフレーム選択回路 6、7 であって、一連の画像フレームについて、複数の階調パターン選択回路において選択された階調パターンを順次出力させる複数のフレーム選択回路とを具備する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2002-025698
受付番号	50200139302
書類名	特許願
担当官	第一担当上席 0090
作成日	平成14年 2月 6日

<認定情報・付加情報>

【特許出願人】

【識別番号】 000002369

【住所又は居所】 東京都新宿区西新宿2丁目4番1号

【氏名又は名称】 セイコーエプソン株式会社

【代理人】 申請人

【識別番号】 100090479

【住所又は居所】 東京都杉並区荻窪5丁目26番13号 荻窪TM

ビル2階 井上・布施合同特許事務所

【氏名又は名称】 井上 一

【選任した代理人】

【識別番号】 100090387

【住所又は居所】 東京都杉並区荻窪5丁目26番13号 荻窪TM

ビル2階 井上・布施合同特許事務所

【氏名又は名称】 布施 行夫

【選任した代理人】

【識別番号】 100090398

【住所又は居所】 東京都杉並区荻窪5丁目26番13号 荻窪TM

ビル2階 井上・布施合同特許事務所

【氏名又は名称】 大淵 美千栄

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.